

PROGRAMMABLE ARRAY CLOCK/RESET

Publication number: JP9027745

Publication date: 1997-01-28

Inventor: SUKOTSUTO HOITSUTONII GUURUDO;
FUREDERITSUKU KAATEISU FUAATET; FURANKU
REI KAIZAA ZA SAADO; BURAIAN EI WAASU;
TERANSU JIYON JITORITSUCHIYU

Applicant: IBM

Classification:

- International: G06F15/78; G06F1/10; H01L21/82; H03K19/0175; H03K19/173; H03K19/177; G06F15/76; G06F1/10; H01L21/70; H03K19/0175; H03K19/173; H03K19/177; (IPC1-7): H03K19/177; G06F1/10; G06F15/78; H01L21/82; H03K19/0175

- European: H03K19/173C2; H03K19/177B

Application number: JP19960131831 19960527

Priority number(s): US19950459156 19950602

Also published as:



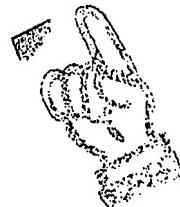
EP0746105 (A)

US5717346 (A)

US5703498 (A)

US5652529 (A)

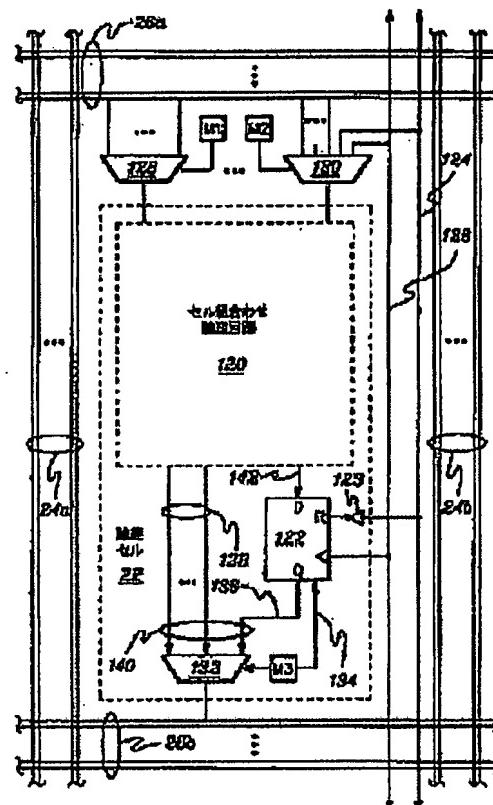
EP0746105 (A:



Report a data error he

Abstract of JP9027745

PROBLEM TO BE SOLVED: To minimize skew between clock signal and reset signals applied to logic cells and expand distribution choices by using a low-skew signal distribution architecture to distribute the clock and reset of a programmable array. **SOLUTION:** The programmable logic array(PLA) consists of sectors in, for example, a 7×7 matrix array and each sector is equipped with logic cells 22 in, for example, an 8×8 matrix array. Signal supply from the column clock line and reset line 124 and 126 to a cell 22 selected by an input multiplexer 128 and a cell combination logic circuit 120 responding to a program in a memory M1 is controlled by a programmable multiplexer 130 and the output of the cell 22 is also controlled by a programmable multiplexer 132. Therefore, when the size of signal source buffering, multiplexer buffering, etc., is determined according to a signal transmission distance, a programmable array clock/ reset signal distribution network which minimizes signal skew is obtained.



Data supplied from the esp@cenet database - Worldwide

7/7

1/1

7/79/E

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-27745

(43)公開日 平成9年(1997)1月28日

(51)Int.Cl. [*]	識別記号	府内整理番号	F I	技術表示箇所
H 03 K 19/177		9199-5K	H 03 K 19/177	
G 06 F 1/10			G 06 F 15/78	5 1 0 P
15/78	5 1 0		1/04	3 3 0 Z
H 01 L 21/82			H 01 L 21/82	A
H 03 K 19/0175			H 03 K 19/00	1 0 1 N
審査請求 未請求 請求項の数11 OL (全16頁)				

(21)出願番号 特願平8-131831

(22)出願日 平成8年(1996)5月27日

(31)優先権主張番号 459156

(32)優先日 1995年6月2日

(33)優先権主張国 米国(US)

(71)出願人 390009591
 インターナショナル・ビジネス・マシーンズ・コーポレーション
 INTERNATIONAL BUSINESS MACHINES CORPORATION
 アメリカ合衆国10504、ニューヨーク州
 アーモンク (番地なし)

(72)発明者 スコット・ホイットニー・グールド
 アメリカ合衆国05403 バーモント州サウス・バーリントン ミル・pond・レーン

15

(74)代理人 弁理士 合田潔 (外2名)

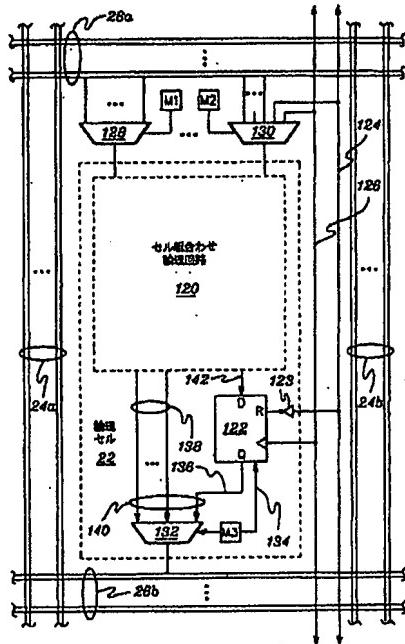
最終頁に続く

(54)【発明の名称】 プログラマブル・アレイ・クロック/リセット

(57)【要約】

【課題】 プログラマブル・アレイにおけるクロック信号およびリセット信号配布のための信号配布アーキテクチャを提供する。

【解決手段】 このアーキテクチャは、アレイの論理セルにクロック信号とリセット信号を配布する別々の回路網を備える。各回路網は、複数のシステム・クロック信号またはシステム・リセット信号から列クロック信号または列リセット信号を選択する複数の列マルチブレクサを備える。論理セルの各列内に、複数の列クロック信号または列リセット信号からセクタ・クロック信号またはセクタ・リセット信号を選択するセクタ・マルチブレクサを配置する。このクロック信号またはリセット信号を、所与のセクタ・マルチブレクサに関連する各論理セルの組合せ論理回路と順序論理回路に送る。クロック・ゲート回路を、各論理セル内の出力マルチブレクサと協調的に制御する。これらの回路網を、信号伝搬距離に応じて信号源バッファリング、マルチブレクサ信号バッファリング、出力ドライバのサイズ決定を行うなど、信号スキューを最小限するための機構を使用して設計する。



【特許請求の範囲】

【請求項1】複数の論理セルを有するプログラマブル・アレイのための信号配布アーキテクチャであって、前記信号配布アーキテクチャはクロック／リセット配布網を含み、前記クロック／リセット配布網が、複数の論理セルのうちの第1のグループの論理セルのために、複数のシステム・クロック／リセット信号から第1のグループ・クロック／リセット信号を選択する第1のプログラマブル・マルチブレクサと、複数の論理セルのうちの第2のグループの論理セルのために、複数のシステム・クロック／リセット信号から第2のグループ・クロック／リセット信号を選択する第2のプログラマブル・マルチブレクサと、第1および第2のグループの論理セルのうちの1つのグループの論理セルのサブグループのために、少なくとも第1および第2のグループ・クロック／リセット信号を含む複数のグループ・クロック／リセット信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・クロック／リセット信号を選択する第3のプログラマブル・マルチブレクサとを備える、信号配布アーキテクチャ。

【請求項2】第1のグループの論理セルのために、複数のシステム・リセット／クロック信号から第1のグループ・リセット／クロック信号を選択する第1のプログラマブル・マルチブレクサと、第2のグループの論理セルのために、複数のシステム・リセット／クロック信号から第2のグループ・リセット／クロック信号を選択する第2のプログラマブル・マルチブレクサと、論理セルのサブグループのために、少なくとも第1および第2のグループ・リセット／クロック信号を含む複数のグループ・リセット／クロック信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・リセット／クロック信号を選択する第3のプログラマブル・マルチブレクサとを備えるリセット／クロック配布網をさらに含む、請求項1に記載の信号配布アーキテクチャ。

【請求項3】少なくとも1つのプログラマブル・マルチブレクサが、出力と、複数の入力と、複数の入力バッファのうちの各入力バッファが少なくとも1つのプログラマブル・マルチブレクサの複数の入力のうちのそれぞれの1つの入力に接続された入力を有し、複数の入力バッファのうちの各入力バッファがさらに出力を有する、複数の入力バッファと、複数のプログラム可能要素とを含み、前記複数のプログラム可能要素の各プログラム可能要素が、複数の入力バッファの各入力バッファの出力に接続され

た第1の導電端子と、

少なくとも1つのプログラマブル・マルチブレクサの出力に選択された信号を供給する第2の導電端子とを備え、

選択された信号が少なくとも1つのプログラマブル・マルチブレクサを介して再駆動されるようになっていることを特徴とする、請求項1に記載の信号配布アーキテクチャ。

【請求項4】第1および第2のプログラマブル・マルチブレクサのうちの少なくとも一方が固定論理状態入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および固定状態論理入力から選択されることを特徴とする、請求項1に記載の信号配布アーキテクチャ。

【請求項5】第1および第2のプログラマブル・マルチブレクサのうちの少なくとも1つがプログラマブル・アレイの相互接続構造体から派生した入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および派生入力から選択されることを特徴とする、請求項1に記載の信号配布アーキテクチャ。

【請求項6】外部信号源から複数のシステム・クロック／リセット信号のうちの少なくとも1つのシステム・クロック／リセット信号を受け入れるI/Oブロックと、I/Oブロックとクロック／リセット配布網の間に接続され、I/Oブロックから少なくとも1つのクロック／リセット信号をクロック／リセット配布網に選択的に供給するプログラム可能要素とをさらに含む、請求項1に記載の信号配布アーキテクチャ。

【請求項7】行と列の形で配置された複数の論理セルとクロック・リセット配布網を有するプログラマブル・アレイであって、前記クロック・リセット配布網が、各第1のプログラマブル列マルチブレクサが複数のシステム・クロック／リセット信号から列クロック／リセット信号を選択し、選択した列クロック／リセット信号を論理セルの各列に供給する、論理セルの各列のための第1のプログラマブル列マルチブレクサと、第1の複数のプログラマブル・セクタ・マルチブレクサの各プログラマブル・セクタ・マルチブレクサが論理セルの各列の論理セルのセクタに対応し、複数の選択された列クロック／リセット信号からセクタ・クロック／リセット信号を選択し、選択したセクタ・クロック／リセット信号を論理セルの各列の論理セルの各セクタに供給する、論理セルの各列のための第1の複数のプログラマブル・セクタ・マルチブレクサとを含む、プログラマブル・アレイ。

【請求項8】第1の複数の論理セルを有し、該論理セルの各々が、複数の入力と1つの出力を有するプログラマブル入力マルチブレクサと、

プログラマブル入力マルチブレクサの出力に接続された入力を有し、出力をさらに有する組合せ論理回路と、組合せ論理回路の出力に接続された入力を有し、クロック／リセット入力をさらに有する順序論理回路と、選択されたクロック／リセット信号を第1の複数の論理セルの各論理セルのプログラマブル入力マルチブレクサの入力と第1の複数の各論理セルの順序論理回路のクロック／リセット入力とに供給する、第1の複数の論理セルに関連するプログラマブル・クロック／リセット・マルチブレクサとを備えることを特徴とするプログラマブル・アレイ。

【請求項9】 プログラマブル・アレイの複数の論理セルに少なくとも1つのクロック／リセット信号を配布するクロック／リセット配布網を有するプログラマブル・アレイであって、複数の論理セルのうちの少なくとも1つの論理セルが、

複数の入力と、1つの出力と、1つの制御要素とを有するプログラマブル出力マルチブレクサと、

プログラマブル出力マルチブレクサの複数の入力の1つに接続された出力を有し、クロック／リセット信号入力をさらに有する順序論理回路と、

順序論理回路のクロック／リセット信号入力とクロック／リセット配布網の間に接続され、制御要素に応答してクロック／リセット信号をゲート制御して順序論理回路に送るクロック／リセット・ゲート回路とを含む、プログラマブル・アレイ。

【請求項10】 プログラマブル・アレイのためのプログラマブル・マルチブレクサであって、前記プログラマブル・マルチブレクサは、

複数の信号経路の各信号経路が入力と出力を有した複数の信号経路を含み、前記信号経路のうちの少なくとも1つは、

信号経路の入力に接続された入力を有し、出力をさらに有する入力インバータと、

入力インバータの出力に接続された第1の導電端子を有し、少なくとも1つの信号経路の出力を含む第2の導電端子をさらに有するプログラム可能要素と、

複数の信号経路の各信号経路の出力に接続された入力を有し、少なくとも1つのプログラマブル・マルチブレクサの出力を含む出力をさらに有して、選択された信号を少なくとも1つのプログラマブル・マルチブレクサを介して再駆動することができるようになっている、出力インバータとを含む、プログラマブル・マルチブレクサ。

【請求項11】 集積回路のための低スキー信号配布アーキテクチャであって、

信号源と、

第1の複数の1次配布回路の各1次配布回路が出力段を有する、第1の複数の1次配布回路と、

前記信号源と第1の複数の1次配布回路の各1次配布回路との間の第1の導電経路とを含み、前記信号源から伝

送された信号がそれぞれの遅延後にそれぞれの1次配布回路に到着し、それぞれの遅延が各第1の伝搬経路を通る前記信号源からそれぞれの1次配布回路までのそれぞれの伝搬距離に一般に比例するようになっており、それぞれの遅延を補正するためにそれぞれの1次配布回路の出力段のサイズが各第1の導電経路を通るそれぞれの伝搬距離に応じて決定されて、第1の複数の1次配布回路の1次配布回路からそれ出力される信号間のスキーが最小化されるようになっていることを特徴とする、低スキー信号配布アーキテクチャ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路に関し、具体的には複数のプログラマブル論理セルを有するプログラマブル集積回路を含むプログラマブル集積回路素子のためのクロックおよびリセット信号の配布アーキテクチャに係わる。

【0002】

【従来の技術】 プログラマブル集積回路は、当技術分野で周知であり、プログラマブル論理素子（PLD）、プログラマブル・アレイ論理（PAL）、およびプログラマブル論理アレイ（PLA）を備える。これらのプログラマブル回路はそれぞれ、入力AND論理面の後にOR論理面が続いている。したがって入力項の積の和である出力関数を計算することができる。論理面は通常、面の初期汎用レイアウトを特定用途用にカストマイズすることができるよう、プログラム可能になっている。

【0003】 プログラマブル回路のより一般的な手法は、異なる不拘束論理セルのアレイをプログラマブル・ゲート・アレイ（PGA）に設ける。プログラマブル相互接続網は、セルを相互接続し、アレイとの間でデータの入出を行なうために設けられる。特定用途向けに、汎用設計の論理セルと相互接続網のカスタマイズまたはプログラムが行われる。このようなアレイの1つはマスク・プログラマブル・ゲート・アレイ（MPGA）であり、集積回路に金属化の最終層を付加するときにセルと配線網の構成が行われる。変更された手法では、レーザー照射エネルギーを使用して金属化パターンをカスタマイズする。他のこのようなアレイは、フィールド・プログラマブル・ゲート・アレイ（FPGA）であり、構成はユーザーが「現場（フィールド）」で行なうことができる。このような構成は、電気的プログラム可能ヒューズ・リンク、アンチヒューズ、メモリ制御トランジスタ、フローティング・ゲート・トランジスタなどを使用して行なうことができる。PGAのセルは、PALまたはPLAにおけるようなAND/ORマクロセルを含む、任意のタイプの周知の論理セルとすることができます。

【0004】 アレイの各論理セルは、組合せ論理段または順序論理段を備えることが多い。1つの一般的な実施態様では、セル順序段はセル組合せ段とカスケード接続

5

される。組合せ段はセル入力に対して論理関数を実行し、順序段はその結果の記憶と出力のために使用される。論理セルの順序段（たとえばフリップフロップ）は、正常な動作のために、データ入出力に加えてクロック信号とリセット信号を必要とすることが多い。

(00051)

【発明が解決しようとする課題】多くの従来の手法では、単一のクロック信号と単一のリセット信号がアレイの各入力パッドに供給され、アレイの各順序段に内部で経路指定される。したがって、このようなアレイを使用するユーザ・プログラム設計は、單一クロックおよびリセット実施態様となるように制約される。アレイの各部分は、他の部分から論理的に区分されている場合であっても、アレイ規模のクロックおよびリセット方法に従う必要がある。論理セル密度を高くすることができる半導体技術の進歩に伴って、アレイが論理的に区分化される公算が高くなる。

【0006】さらに、半導体技術の進歩に伴ってプログラマブル・アレイの密度とクロック速度が向上しているため、アレイ規模のタイミング許容差が小さくなりつつある。信号源（たとえばチップ・パッド）から論理セルに送られるクロック信号またはリセット信号に関連する伝搬遅延は、論理セルとクロック信号源またはリセット信号源との間の距離に比例して変化する。論理セルは必然的にアレイ内の使用可能な基板面積にわたって分散されているため、論理セルとクロック信号源またはリセット信号源との間の距離は変わることになる。この変化によって、論理セルに送られる信号間にスキューが生じ、それは高密度、高速のアレイのタイミング許容差の範囲を超える可能性がある。

【0007】したがって、必要なのは、従来の手法のアレイ規模の設計の制約を克服し、アレイ全体にわたるクロック信号およびリセット信号のスキーを最小限にする技法を使用した、柔軟性のあるクロックおよびリセット配布アーキテクチャである。

[0008]

【課題を解決するための手段】簡単に述べると、本発明は1つの態様では、その中に行と列の形で配置された複数の論理セルを有するプログラマブル・アレイを含む。このプログラマブル・アレイは、論理セルの各列について第1のプログラマブル列マルチブレクサを含むクロック／リセット配布網を備え、各プログラマブル列マルチブレクサは複数のシステム・クロック／リセット信号から列クロック／リセット信号を選択し、選択された列クロック／リセット信号を論理セルの各列に送るよう機能する。

【0009】論理セルの各列ごとに第1の複数のプログラマブル・セクタ・マルチブレクサを設ける。各プログラマブル・セクタ・マルチブレクサは、論理セルの各列の論理セルのセクタに対応しており、選択された複数の

6

列クロック／リセット信号からセクタ・クロック／リセット信号を選択し、その選択されたセクタ・クロック／リセット信号を論理セルの各セクタに送る。配布網は、クロック信号とリセット信号のいずれにも使用することができる。第1のプログラマブル列マルチブレクサのうちの少なくとも1つは、固定論理状態入力を含むことができ、その場合、列クロック／リセット信号が複数のシステム・クロック／リセット信号からと固定状態論理入力から選択される。第1のプログラマブル列マルチブレクサのうちの少なくとも1つは、プログラマブル・アレイの相互接続構造体から派生した入力を含むこともでき、その場合、列クロック／リセット信号は複数のシステム・クロック／リセット信号と派生入力から選択される。

【0010】プログラマブル・アレイは、少なくとも1つのシステム・クロック／リセット信号を受け入れるI／Oブロックと、その少なくとも1つのシステム・クロック／リセット信号をI／Oブロックからクロック／リセット配布網に選択的に送る、I／Oブロックとクロック／リセット配布網との間に接続されたプログラム可能要素も備えることができる。

【0011】本発明の他の態様では、第1の複数の論理セルを含み、各論理セルが複数の入力と1つの出力を有するプログラマブル入力マルチブレクサを備えた、プログラマブル・アレイを設ける。各セルは、プログラマブル入力マルチブレクサの出力に接続された入力を有しさるに、出力を有する組合せ論理回路と、組合せ論理回路の出力に接続された入力を有し、さらにクロック／リセット入力を有する順序論理回路とを備えることができる。

30 第1の複数の論理セルには、選択されたクロック／リセット信号を第1の複数の論理セルのそれぞれのプログラマブル入力マルチプレクサの入力と第1の複数の論理セルのそれぞれの順序論理回路のクロック／リセット入力とに送る、プログラマブル・クロック／リセット・マルチプレクサが付随している。

【0012】本発明の他の態様では、少なくとも1つのクロック／リセット信号を複数の論理セルに配布するクロック／リセット配布網を有するプログラマブル・アレイを設ける。複数の論理セルのうちの少なくとも1つの論理セルは、複数の入力と、1つの出力と、1つの制御要素とを有するプログラマブル出力マルチブレクサを備える。このセルは、プログラマブル出力マルチブレクサの複数の入力のうちの1つに接続された出力と、クロック／リセット信号入力を有する順序論理回路も備える。プログラマブル出力マルチブレクサの制御要素に応答してクロック／リセット信号をゲート制御して順序論理回路に送るように、クロック／リセット・ゲート回路を設けて順序論理回路のクロック／リセット信号入力とクロック／リセット配布網の間に接続する。

50 [0013] 本発明の他の態様では、プログラマブル

アレイのためのプログラマブル・マルチブレクサを設ける。このプログラマブル・マルチブレクサは複数の信号経路を備え、各経路は入力と出力を含む。入力経路のうちの少なくとも1つは、信号経路の入力に接続された入力インバータと出力を備える。入力インバータの出力に接続された第1の導電端子を有し、少なくとも1つの信号経路の出力を含む第2の導電端子をさらに有する、プログラム可能要素を設ける。複数の信号経路のそれぞれの出力に接続された入力を有する出力インバータを設け、出力インバータはマルチブレクサの出力を含む出力をさらに有して、選択された信号を少なくとも1つのプログラマブル・マルチブレクサを介して再駆動することができるようになっている。1つの実施例では、プログラム可能要素はSRAMセルによって制御される伝送ゲートを備える。

【0014】本発明の他の態様では、集積回路のための低スキー信号配布アーキテクチャを備える。このアーキテクチャは、信号源と、それそれが出力段を有する第1の複数の1次配布回路と、信号源と各1次配布回路の間の第1の導電経路とを備える。信号源から送られた信号は、それぞれの遅延後にそれぞれの配布回路に到着する。それぞれの遅延は、信号源からそれぞれの一次配布回路までの各第1の導電経路を通るそれぞれの伝搬距離に一般に比例する。それぞれの1次配布回路の出力段は、それぞれの遅延を補正するように第1の導電経路を通る伝搬距離に応じてサイズが決定されおり、第1の複数の1次配布回路から出力される信号のスキーが最小限に抑えられるようになっている。出力段は、集積回路内で配布回路が配置されている領域に応じたサイズとすることができます。

【0015】このアーキテクチャは、前述の低スキー信号配布アーキテクチャを備えたクロック／リセット配布アーキテクチャを有するプログラマブル・アレイで使用することができる。このプログラマブル・アレイの実施態様では、1次配布回路のうちの少なくともいくつかがプログラマブル・マルチブレクサを備える。

【0016】開示するこの低スキー信号配布アーキテクチャをプログラマブル・アレイにおけるクロックおよびリセットの配布に使用することによって、プログラマブル・アレイの論理セルに供給されるクロック信号間およびリセット信号間のスキーが最小化され、柔軟性のある多重化手法を使用してアレイ内でのクロックおよびリセット配布の選択肢を拡大することができる。

【0017】

【発明の実施の形態】本発明に関する主題については、本明細書の結論部分で具体的に指摘し、明確に請求している。しかし、本発明は、構成と実施方法の両方について、その目的および利点を含めて、以下の好ましい実施例の詳細な説明と添付図面とを参照すれば最もよく理解することができる。

【0018】図1を参照すると、複数のプログラマブル論理セル12を含む集積回路プログラマブル・ゲート・アレイ10のレイアウトが示されている。この特定の実施例では、複数のプログラマブル論理セルが、セルのセクタに分割された56×56セル・アレイを構成しており、各セクタが8×8セル・グループによって画定されている。このアレイのプログラマブル論理セルは、「プログラマブル論理セル」という名称の米国特許出願の上記組込み部分に従って実現することができる。あるいは、PALまたはPLAにおけるようなAND/ORマクロセルなど、任意のタイプの周知のセルとすることができる。データ入出力に使用される入出力(I/O)ブロック14も、アレイの周縁に沿って図示されている。アレイの入出力部は、「プログラマブル・アレイ入出力-経路指定資源」という名称の米国特許出願の上記組込み部分に従って実施することができる。

【0019】図2を参照すると、図1のアレイのプログラマブル論理セルのうちの単一のセクタ20が示されている。1つのセクタは、連続しているか必ずしも境を接してはいない論理セルの行と列に配置された論理セル21..ないし22..を含む。論理セル22..を参照すると、セルは全体として、たとえば垂直相互接続バス24aおよび24bと、水平相互接続バス26aおよび26bによって囲まれている。これらの水平および垂直の相互接続バスはアレイの各行と各列の間に配置されており、アレイ内の任意の2つの論理セル間、またはアレイ内の任意の論理セルと入出力ブロックとの間を接続可能にする。相互接続バスが一緒になってプログラマブル・アレイのプログラマブル相互接続網全体を形成している。

【0020】この相互接続網は、「プログラマブル・アレイ相互接続網」という名称の米国特許出願の上記組込み部分に従って形成することができる。範囲30は單に、図示されている列のうちの任意の列内の論理セルのセクタを表しているに過ぎない。

【0021】本発明の原理によると、集積回路のための柔軟性のある信号配布アーキテクチャが提供される。1つの実施例では、このアーキテクチャを、複数の論理セルを有するプログラマブル・アレイで用い、論理セルにクロック信号とリセット信号を配布するために使用する。この実施例におけるアーキテクチャは、アレイ全体にクロック信号を配布するための回路網を含む。図3に、クロック信号配布網の例を図示する。このアーキテクチャは、アレイ全体にリセット信号を配布するための別個の同様の回路網も含むことができる。図4にリセット信号配布網の例を図示する。当業者なら、図3および図4の回路網が類似していることと、いずれの回路網も本発明の原理から逸脱することなくクロック信号またはリセット信号の配布に使用することができることがわかるであろう。

【0021】本明細書で使用する限りにおいて、「クロ

ック／リセット」という表記は、クロックまたはリセットのいずれかを指す。「クロック／リセット」および「リセット／クロック」という表記を本明細書で共に使用する場合は、(1) クロックおよびリセット、または(2) リセットおよびクロック、のいずれかを指す。この表記上の規則は、他の用語にも同様に適用される。したがって、図3の回路網はクロック／リセット網とみなすことができ、図4の関連する回路網はリセット／クロック網とみなすことができる。

【0022】図3を参照すると、論理セルの4つの列41a～dの部分が図示されている。各列の1つのセクタ30のみを図示してある。前述のように、論理セル22はそれに関連する垂直相互接続バス24を有する。水平相互接続バス(図示せず)も備えることができる。1つのアレイ実施例では、論理セルのセクタは中継器またはスイッチ28の配置によって全体的に固定される。当業者なら「セクタ」という用語は、反復する論理セルのアレイ内の論理セルの任意の区画を指すことができることを理解されよう。したがって、セルの各列と、各列内の特定のセクタのセルは、一般的にそれぞれ論理セルのグループおよびサブグループとみなすことができる。クロック配布網はマルチブレクサ42、44、および46と、それらの間のすべての接続とを含む。システム・クロック信号50線(この実施例では6本)が、それぞれ列マルチブレクサ42a～42eへの入力52a～52eの一部として設けられている。(クロック信号50の信号源については以下で図9および図10と関連して詳述する。)列マルチブレクサ42はプログラム可能であり、選択された入力にある信号を選択的に出力に供給することができる。たとえば、マルチブレクサ42bは信号グループ52bから列クロック信号56を選択し、その信号が論理セルの列41a全体を通って送られる。

【0023】本発明の原理によると、選択された各列クロックは2次マルチブレクサまたはセクタ・マルチブレクサ44、46等に送られる。セクタ30については、セクタ・マルチブレクサ44a～44dが図示されている。下にある次のセクタについては、セクタ・マルチブレクサ46a～46dが図示されている。セクタ・マルチブレクサ44aは、信号グループ54aから選択してセクタ・クロック信号58を供給し、その信号が論理セルのセクタ内の8個の論理セルのそれぞれに送られる。本発明の原理によると、マルチブレクサ44への入力は、各列に関連する列クロックのほか、他の列からの列クロックを含む。たとえば、すぐ隣の列からのクロック信号と、2列まで離れた列からのクロックが各マルチブレクサ44への入力として示されている。マルチブレクサ44のサイズは、任意の数の列からの入力を受け入れるように恣意的に増大させることができる。好ましい実施例では、セクタ・マルチブレクサ44は4つの入力を備える。したがって、マルチブレクサ44bへの入力と

して、(マルチブレクサ42cからの)各列クロックと、右のすぐ隣の列マルチブレクサ42dからの列クロックと、左のすぐ隣の2つの列マルチブレクサ42aおよび42bからの列クロックが供給される。このパターンは、たとえば下にある次のセクタのマルチブレクサ46を使用して、アレイの各セクタ内で維持することができる。

【0024】システム・クロック信号50に加えて、各列マルチブレクサ42は派生クロック入力と固定論理入力を受け入れることができる。たとえば図3のマルチブレクサ42eについて示されているように、相互接続バス24から入力62をなすわち派生入力を得ることもできる。同様の信号は、各列マルチブレクサ42にも供給することができる。したがって、汎用相互接続網からのクロック信号またはデータ信号を、各列マルチブレクサに供給することができる。さらに、列マルチブレクサには固定論理状態信号80も供給することができる。(当業者なら、図が見やすいように、本明細書のすべての図面では特定の反復機構にはたとえば信号60のように個々の参照番号を付けていないことがわかるであろう。)

【0025】図4には、1つのアレイの列71a～71dのための、本発明の信号配布アーキテクチャのリセット網が図示されている。このリセット網は、それぞれ図3のマルチブレクサ42、44、および46と同様に配置された列マルチブレクサ72とセクタ・マルチブレクサ74および76を含む。列マルチブレクサ72a～72eは、入力信号グループ82a～82eの一部としてシステム・リセット信号80を受け入れる。アレイの各列71aについて入力信号グループ82bから列リセット信号線、たとえば線86が選択される。この実施例では、列リセット・マルチブレクサ72には3つのシステム・リセット信号80しか供給されない。マルチブレクサ72eについて図示されているように、相互接続バス24から第4の入力92、すなわち派生入力を得ることができます。同様の信号は、各列マルチブレクサ72について供給することができる。マルチブレクサ74および76は図3のマルチブレクサ44および46と同様に配置されている。たとえばマルチブレクサ74aは、4つの入力信号84aから選択して、論理セルの各列のセクタ内の各論理セルに供給するセクタ・リセット信号88を生成する。この場合も、前述のように、マルチブレクサ74bは入力としてそれ自体の各列リセットを(マルチブレクサ72cから)受け取るほか、他の列リセット信号も受け取る。たとえば、マルチブレクサ74bには、右のすぐ隣の列マルチブレクサ72dから1つの列リセット信号と、左のすぐ隣の列マルチブレクサ72aおよび72bからのリセット信号が供給される。

【0026】図5に、上記で図3および図4を参照しながら述べたクロック網またはリセット網のアレイ周縁部の状態を図示する。上記で設定した規則に従って、列1

02はそれに付随する列マルチブレクサ106と列クロック信号110を有し、両者は列102の右側に配置されている。左端の列100も同様に右側に位置する列マルチブレクサとクロックを有するが、左側に位置する追加の列マルチブレクサ104と追加の列クロック108も有する。したがって、56の列を含む図1のアレイの場合、その全体に57個の列マルチブレクサと列クロック信号を配置することができる。周縁部にあるセクタ・マルチブレクサへの追加の入力105および107は単にV_{DD}に結合されているに過ぎない。

【0027】当業者なら、図3ないし図5の回路網の図が信号源とその供給先との間の論理的関係を表していることを理解されよう。説明している構成要素の実際の物理的レイアウトは、図3ないし図5とはかなり異なることがある。以下に、レイアウトの1つの例について図1を参照しながら説明する。

【0028】図6に、前述のように関連する相互接続バス24a～24bおよび26a～26bを有する1つの論理セル22の詳細を図示する。この論理セルは、セル組合せ論理回路120を選択された相互接続バス信号に接続する関連する入力マルチブレクサ128および130（好ましい実施例ではメモリ・ブロックM1～M3によって制御される）を有することもできる。セル組合せ論理回路120の出力は、出力138および142を含むことができる。出力138は単純に出力マルチブレクサ132に送ることができるのに対して、出力142は順序回路、たとえばフリップフロップ122に送ることができる。本発明の原理によると、列クロック線126と列リセット線124がセル22の近傍を通り、これらの線からの信号はマルチブレクサ130を介して組合せ論理回路に送られるだけでなく、順序回路122にも送られる。したがって、セル組合せ論理回路内で処理するクロック信号を供給することができ、順序論理回路122の標準動作のためにもクロック信号が供給される。順序論理回路122の出力136は、セル出力マルチブレクサ132にも送ることができる。したがって、信号140から選択された出力信号が出力マルチブレクサ132から相互接続バス26bに戻される。

【0029】1つの実施例では、順序論理回路122の出力136をメモリ・ブロックM3によってマルチブレクサ132で選択しない場合（これはフリップフロップ122を使用しないことを意味する）、制御メモリ・ブロックM3からのゲート信号134（他の関連出願ではLATCHSまたはLATCHSビットとも呼んでいる）を、ゲート信号134と順序論理回路122の間に結合されたクロック・ゲート回路（図6には図示せず）に供給することができる。このようなクロック・ゲート回路は、トランジスタT1およびT2を備えるインバータと、トランジスタT5およびT6を備える第2のインバ

ータとを含む。クロック入力がノード152を介して供給され、ブルアップ・トランジスタおよびブルダウン・トランジスタT3およびT4をそれぞれ制御するクロック・ゲート信号がノード134を介して供給される。クロック・ゲート信号が論理1の場合、図6のマルチブレクサ132で出力136が実際に選択されたことを意味し、図7のトランジスタT4がイネーブルされ、したがって両方のインバータがイネーブルされて、クロック信号156とクロック信号154の複数とを生成し、これらの信号が供給されて順序論理セルのフリップフロップを動作させる。クロック・ゲート信号が論理0に設定された場合、出力136が図6のマルチブレクサ132によって選択されないことを意味し、トランジスタT4がディスエーブルされ、ブルアップ・トランジスタT3がイネーブルされ、それによってクロック出力154および156が単に固定状態に設定される。この回路を使用することによって、アレイはユーザ出力選択に応答して自動的にクロック信号をゲート制御して順序回路に送り、順序回路における不要なCMOSスイッチングに伴う電力ドレーンが回避される。

【0030】当業者には、前述のマルチブレクサおよびスイッチに必要な接続を設ける多くの方法があることが明らかであろう。たとえば、マルチブレクサにおける信号経路はバス・トランジスタと、EPROMと、装着されている線間の所望の分離または接続を行うヒューズ・リンクまたはアンチヒューズとを含むことができる。ユーザは、任意の特定のマルチブレクサを介した接続が必要であれば、その接続を行うように適切なプログラミングを行うだけでよい。レーザ・プログラム素子は、交差点で任意選択の接続を使用することもできる。必要な接続は接続を含めたり除外したりすることによって行う。マスク・プログラム素子は、適切な接続を含めるか省くかするだけでよい。プログラムの前には選択可能な信号が複数あってプログラム後にはその信号の1つが選択される信号選択のための構造体を、本明細書ではマルチブレクサと呼ぶ。本明細書を通して使用している「接続」とは、特に明記のない限り、導線間の直接導通接続か、または間接ではあるが一方の導線からの情報が他方の導線に送られる間接（たとえばバッファ付き／反転）インターフェースを広義に指す。同様に、「入力」または「出力」とは、特に明記のない限り、直接または間接（たとえばバッファ付き／反転）インターフェースを示す。

【0031】一般に、信号源とそのそれぞれの供給先すべてとの間に一定した遅延を維持することが望ましいため、本発明の信号配布アーキテクチャの好ましい実施例はそれらの遅延を最小限にするように設計され、それによって低スキー信号配布を行う。以下に、図8ないし図11を参照しながら本発明の低スキー信号配布機構について説明する。

【0032】図8を参照すると、図3ないし図5の回路

網内のいずれのマルチブレクサにも使用可能な低スキー・マルチブレクサ160が図示されている。マルチブレクサ160は、構成要素162～170を備える入力信号経路を含む複数の信号経路を含む。このマルチブレクサは、構成要素172～176を備える共通接続された出力経路を有する。入力信号経路は、入力ノード162の後にインバータ164を備える。インバータの出力は、相補形トランジスタ166および168を含む電界効果トランジスタ伝送ゲートの第1の導電端子に接続されている。トランジスタのゲートはメモリ・セル170によって制御することができる。（この電界効果トランジスタ・ゲート/メモリ・セルの組合せは、前述のように当技術分野で周知の任意のプログラム可能要素に置き換えることもできる。）マルチブレクサの各信号経路の伝送ゲートの第2の導電端子がノード172に接続され、ノード172はさらに出力インバータ174の入力に接続されている。したがってインバータ174の出力176はマルチブレクサ160の出力である。図3ないし図5の回路網内の長くなる可能性のある信号経路に、開示する規則的に間隔を置いたバッファ付きマルチブレクサを割り込ませることによって、信号立ち上がり時間および立ち下がり時間と信号遅延の予測と制御をより容易に行うことができる。

【0033】1つの実施例では、各マルチブレクサの出力インバータをなくして、その代わりに各信号供給先にインバータを配置することができる。これは、図6のリセット線124に使用されている手法であり、このリセット線124はその供給先、すなわちフリップフロップ122の近傍にあるインバータ123に接続されている。

【0034】図9および図10に、外部信号源からチップ・パッドで受信したクロック信号またはリセット信号をバッファリングするために使用する回路の他の実施例を示す。図8には、図3の列マルチブレクサ42にクロック信号を配布するために使用するバッファの実施例が図示されている。この回路は、チップ・パッド210上に送られたクロック信号をバッファリングする入力バッファ212を備える。バッファ212はこの信号をバッファリングして、別のバッファ回路200が配置されているチップ上の中央位置に送ることが好ましい。回路200は、NANDゲート204の後にインバータ202を備えている。バッファリングされたクロック信号は、NANDゲートの1つの入力に送られ、レジスタ206（またはその他の任意のユーザ定義信号源）からの制御可能なレジスタ信号が、NANDゲートの第2の入力に送られる。次に、インバータ202の出力、すなわち信号線214がチップ全体に経路指定され、各列マルチブレクサ42の入力（たとえば52）に送られる。図9の回路は、図3に図示されている6本のシステム・クロック信号線50のそれについて繰り返される。レジ

タ206を使用して、アレイの構成時またはアレイの動的再構成時に、クロック信号を動的にゲート制御してアレイに送ることができる。したがって、アレイの順序論理回路のクロック状態によって規定されたいずれの状態でも、レジスタを使用して保持することができる。このレジスタを使用して、高機能デバッグ中にクロックをゲート制御して、クロック信号を使用する順序回路を設定状態に保持し、同じ状態で再始動させることができるようになることができる。回路200のNAND/インバータ/レジスタの組合せの代わりに、使用可能な任意のタイプのプログラム可能要素を使用することができる。パッド210は二重機能とすることもでき、その場合、線211はパッド信号をアレイ相互接続構造体に送ることができることに留意されたい。パッドをクロック信号専用とする場合は、線211上の信号を単に無視すればよい。すなわち、相互接続網に送るために多重化しない。本明細書では「I/Oブロック」という用語は広義に、アレイへの信号の供給、またはアレイからの信号の搬送、あるいはその両方を行う任意のパッドまたは回路であるものと定義する。

【0035】図10に、図4の入力82から列マルチブレクサ72にリセット信号を供給するための簡略化された回路を図示する。この回路は、チップ・パッド226に送られたりセット信号をバッファリングするバッファ228を備える。回路220は、この場合もチップの中央に配置されることが好ましく、この信号を単にバッファリングして線230に送るカスケード・インバータ222および224を備える。次に線230が各列リセット・マルチブレクサ72に送られる。図10の回路は、30 図4の3本のリセット信号線80のそれについて3回繰り返されることになる。当業者なら、任意の数のクロック信号またはリセット信号のために任意の数の図9および図10の回路を使用することができることと、いずれの回路もクロック信号とリセット信号のいずれにでも使用することができることを理解されよう。

【0036】図11に、図3ないし図5に図示されている回路網のような低スキー信号配布網の、チップ300の1象限における物理的配置構成を図示する。図11には、図1に図示されているアレイのようなアレイの左40 上の象限が図示されている。しかし、以下で図11に関して説明する原理は各象限について繰り返すことができ、任意のタイプの集積回路に使用されるどのような信号配布網にも等しく適用可能である。

【0037】このチップは陰影付き領域322を含み、本明細書ではこれを十字形と総称する。この十字形は単に、チップの中央で交差する両端間をつなぐ水平と垂直の線を含む、チップ上に画定された領域に過ぎない。範囲304a～304dおよび306a～306dは、図1のプログラマブル・アレイのセクタに一般に対応させることができるチップの領域を画定する。図示されてい

る残りの回路の機能は、線310からの信号の低スキー配布である。線310は、チップ・パッドからバッファリングされてチップの中央に送られ、それぞれ別々の回路200に送られる。回路200は図9に示すような回路か、図10に示すような回路220か、または任意の汎用バッファ回路を含むことができる。これらの回路の出力は、チップの左に向かって延びる線312と、右に向かって延びる同様の1組の線とを含む。線312のうちの1本、すなわち線316は、1次信号配布回路314を含む線状に配置された1組の1次信号配布回路315に接続されている。図3ないし図5の実施例では、これらの信号配布回路は列マルチブレクサ（たとえば42、72）を備える。各1次信号配布回路は、水平線316から信号を受け取り、1つの列301と共に配置された2次配布回路302a～302dに信号を送るなど、信号を上下にバッファリングする。図3ないし図5の実施例では、2次配布回路はセクタ・マルチブレクサ44、46、74、および76を備える。図3ないし図5のセクタ・マルチブレクサは、前述のように複数の列マルチブレクサからの入力を含み、これは図11では入力318として一般的に図示されている。次に2次配布回路、たとえば回路302cは信号320を論理セルのセクタ内の上下の1組の信号供給先、たとえば論理セル22に供給する。

【0038】1次配布回路315および2次配布回路302をすべて図8の原理に従って設計すれば、それによって低スキー信号網が作られる。信号のバッファリングは、各1次および2次供給点で行われる。

【0039】当業者なら、線316および318が単に導電経路を表しているに過ぎないとと、この導電経路を（図のように）单一の共通接続線とすることも、共通の信号源に接続されているが個々に各供給点（図示せず）に通じている複数の別々の線とすることもできるとを理解されよう。

【0040】各1次配布回路315と2次配布回路302は、通常、出力ドライバ段を含む。1次および2次配布回路がプログラマブル・アレイ内のプログラマブル・マルチブレクサである場合、出力段は図8に図示されているインバータ174のようなインバータとすることができます。本発明の原理によると、各配布回路の出力ドライバ段の素子サイズはそれぞれの信号源からの距離に応じて異なる。図11のアレイでは、線316に接続された1次配布回路315はグループ化され、ゾーン306a～306d（この場合もこれらの領域は図1に図示されているようなアレイのセクタとすることができ、その＊

*場合ゾーン306aは中央セクタの半分となる）に配置されている。各配布回路の出力ドライバ段は、信号源である回路200からの線316の伝搬距離に応じて設計し、外側の回路を意図的に高速化し、内側の回路を意図的に低速化する。好ましい実施例では、ゾーン306aに配置されている各配布回路は、等しいサイズの出力段を有し、ゾーン306b内の各配布回路は等しいサイズの出力段を有し、以下同様である。したがって、線316に接続されている配布回路315の行の場合、4種類の出力段サイズが使用されている。同様の技法を使用して2次配布回路302a～302dの出力ドライバ段のサイズを決定することができる。2次配布回路302はそれぞれソース配布回路314からゾーン304a～304dによって示されている距離に配置される。好ましい実施例では2次配布回路はセクタの中央に位置するため、ゾーン304はセクタ境界からセクタのサイズの半分だけずれている。したがって、2次配布回路302aは距離304aに応じたサイズの出力段を有し、2次配布回路302bは距離304aに304bを加えた距離に応じたサイズの出力段を有することになり、以下同様である。2次配布回路の1つの列のみが図示されているが、同じ出力段のサイズ決定技法が、各列に関連する2次配布回路に用いられる。

【0041】この信号伝搬距離に応じたサイズ決定方式を使用することによって、各信号供給先（たとえば論理セル）で受け取られる信号間のスキーが最小限に抑えられる。

【0042】信号配布回路が図8に示すような出力インバータ段174を含むプログラマブル・マルチブレクサを備える場合、出力インバータ段は図12に図示されているように設計することができる。図12には図8のマルチブレクサのインバータ出力段が示されている。このインバータは、pチャネル・トランジスタT1とnチャネル・トランジスタT2を備える。この回路は、1つの実施例では、図3の1次または列クロック・マルチブレクサ42、図3の2次またはセクタ・クロック・マルチブレクサ44および46、および図4の1次または列リセット・マルチブレクサ72の出力段として使用される。より一般的に言えば、このインバータは図11の1次配布回路315および2次配布回路302の出力段として使用することができる。

【0043】インバータのトランジスタ（素子長はすべて700nm）のマイクロメータ（μm）単位で示した素子幅の例を、以下の表に示す。

ゾーン	1次クロック		1次リセット		2次クロック	
	T1	T2	T1	T2	T1	T2
a	24.5	20.4	27	17.4	6.3	3.15
b	27	22.5	29	18.7	7.5	3.75
c	30	25	30	19.3	8.1	4.05

17

d 31 25.8 31

【0044】a～dで示したゾーンは、図11のゾーン306a～306dおよび304a～304dを指す。この実施例では、所与のゾーン内のすべての素子のサイズが等しい。（ゾーン304aおよび306aはアレイの7つのセクタのうちの中央セクタの中央で始まる。）これらの素子は、外側のゾーン（306dまたは304d）内のインバータはより大きく高速になるように、内側のゾーン（304aまたは304d）内のインバータはより小さく低速になるようなサイズになっている。外側のゾーン内でのより高速のインバータはより長い信号伝搬時間を補償し、内側のゾーン内でのより低速のインバータはより短い伝搬時間を補償する。素子幅は、各セクタの一辺が約1500μmである図1の7セクタ・アレイの例の場合について計算した。当業者なら、素子サイズは連続的に変わることがあり、その場合、素子サイズの連続が必要になると、またはより細かい距離標本化（すなわち4を超える数）を使用することができる事が理解されよう。

【0045】前記の低スキューバ配布網がプログラマブル・アレイにとって特に重要な理由は以下の通りである。
1) 適切なレベルのアレイの一般性を維持するために、アレイ・ハードウェア設計者はチップの全領域に渡る汎用クロック網を設けなければならない。これは、クロック網の実質的な物理的調整を妨げる物理的制約である。
2) 低スキューバ設計によってクロック貯容差がきわめて低くなり、したがってアレイ・プログラマまたはユーザは低速のクロック速度または論理レイアウト上の制約によって制約を受ける必要がない。

【0046】前述のように、当業者にはアレイをプログラム可能にする様々な技法が周知である。これらの技法のいずれか、またはその変形を使用して、本発明のアーキテクチャをプログラムすることができる。マスク・プログラミング技法としては、汎用設計集積回路の最終金属化層の付着のカスタマイズがある（たとえば、1976年1月23日付けの「Programmable Latch and Other Circuits for Logic Arrays」という名称の米国特許第3993919号、および1988年3月3日付けの「Multi-Function FET Masterslice Cell」という名称の米国特許第4742383号を参照のこと。この2つの特許は本出願と同じ出願人に譲渡されている）。レーザ・プログラミング技法としては、付着させた後の金属化層のカスタマイズがある（たとえば、ラッフェル（Raffel）等の「A Wafer-Scale Digital Integrator Using Restructurable VSLI」、IEEE Journal of Solid-State Circuits、Vol. SC-20、No.1、1985年2月、399ページ参照）。ヒューズ・リンクまたはアンチヒューズを使用し、永久（不揮発性）プログラミングを行うことができる（たとえば、ミルマン（Millman）の「Microelectronics」、McGraw-Hill, Inc., 1979年、19

18

20 8.4 4.2

6ページ、および1988年7月19日付けのエルガマル（Elgamal）等の「User Programmable Integrated Circuit Interconnect Architecture and Test Method」という名称の米国特許第4758745号参照）。消去可能プログラマブル読み取り専用メモリ（EPROM）および電気的消去可能プログラマブル読み取り専用メモリ（EEPROM）デバイスを使用して、半永久プログラミングを行うことができる。EPROMおよびEEPROMは両方とも電気的にプログラム可能であり、電力を除去してもその状態を保持する。しかしこれらのデバイスは、特別な消去手続きを使用して再構成することができる（たとえば、ウッド（Wood）等の「An Electrically Alterable PLA for Fast Turnaround Time VLSI Development Hardware」、IEEE Journal of Solid-State Circuits、Vol. SC-16、No.5、1981年10月、570ページ参照）。最後に、揮発性ランダム・アクセス・メモリ（RAM）デバイスも使用可能である。これは完全にプログラム可能であり再プログラム可能であるが、電力を除去するとプログラムされた状態が失われる（たとえば、1979年12月4日付けの米国特許第4177452号を参照。これは本出願と同じ出願人に譲渡されている）。アレイをプログラムする上記およびその他の技法は、当業者に周知であり、S. ブラウン（Brown）、R. フランシス（Francis）、J. ローズ（Rose）、およびZ. ヴラネシック（Vranesic）の出版物「Field-Programmable GateArrays」、Kluwer Academic Publishers、1992年、にも概説されている。上記の各出典は、参照によりその全体が本明細書に組み込まれる。

【0047】本発明の好ましい実施例のマルチブレクサのプログラミングには、ユーザによってプログラムされるSRAMセルが必要である。図6および図8に、マルチブレクサにおけるSRAMセルの接続例を図示する。このアレイSRAMセルは、1993年5月Atmel Corporation発行の「Application Note AT6000 Series Configuration」改訂1B版と題する出版物で開示されている技法に従って構成することができる。この出版物は参照によりその全体が本明細書に組み込まれる。

【0048】図3ないし図7の柔軟性のある配布網を使用することによって、従来の技術よりもアレイ内のクロックおよびリセット配布の選択の自由度を大きくすることができますになり、これは様々なクロック要件およびリセット要件を有する大規模な論理的に区画化されたアレイの場合に特に重要である。さらにプログラマブル・アレイで信号配布網用に図8ないし図12の低スキューバ信号配布機構を使用することによって、アレイの論理セルに送られる信号間のスキーが最小限に抑えられる。

【0049】以上、本明細書では本発明について本発明の特定の好ましい実施例に従って詳細に説明したが、当

業者なら多くの修正および変更を行うことができる。したがって、特許請求の範囲によって、そのような修正および変更をすべて本発明の精神および範囲に入るものとして扱うものとする。

【0050】まとめとして、本発明の構成に関して以下の事項を開示する。

【0051】(1)複数の論理セルを有するプログラマブル・アレイのための信号配布アーキテクチャであって、前記信号配布アーキテクチャはクロック／リセット配布網を含み、前記クロック／リセット配布網が、複数の論理セルのうちの第1のグループの論理セルのために、複数のシステム・クロック／リセット信号から第1のグループ・クロック／リセット信号を選択する第1のプログラマブル・マルチブレクサと、複数の論理セルのうちの第2のグループの論理セルのために、複数のシステム・クロック／リセット信号から第2のグループ・クロック／リセット信号を選択する第2のプログラマブル・マルチブレクサと、第1および第2のグループの論理セルのうちの1つのグループの論理セルのサブグループのために、少なくとも第1および第2のグループ・クロック／リセット信号を含む複数のグループ・クロック／リセット信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・クロック／リセット信号を選択する第3のプログラマブル・マルチブレクサとを備える、信号配布アーキテクチャ。

(2)第1のグループの論理セルのために、複数のシステム・リセット／クロック信号から第1のグループ・リセット／クロック信号を選択する第1のプログラマブル・マルチブレクサと、第2のグループの論理セルのために、複数のシステム・リセット／クロック信号から第2のグループ・リセット／クロック信号を選択する第2のプログラマブル・マルチブレクサと、論理セルのサブグループのために、少なくとも第1および第2のグループ・リセット／クロック信号を含む複数のグループ・リセット／クロック信号から、論理セルのサブグループの論理セルに使用可能なサブグループ・リセット／クロック信号を選択する第3のプログラマブル・マルチブレクサとを備えるリセット／クロック配布網をさらに含む、上記(1)に記載の信号配布アーキテクチャ。

(3)少なくとも1つのプログラマブル・マルチブレクサが、出力と、複数の入力と、複数の入力バッファのうちの各入力バッファが少なくとも1つのプログラマブル・マルチブレクサの複数の入力のうちのそれぞれの1つの入力に接続された入力を有し、複数の入力バッファのうちの各入力バッファがさらに出力を有する、複数の入力バッファと、複数のプログラム可能要素とを含み、前記複数のプログラム可能要素の各プログラム可能要素が、複数の入力バッファの各入力バッファの出力に接続された第1の導電端子と、少なくとも1つのプログラマブル・マルチブレクサの出力に選択された信号を供給す

る第2の導電端子とを備え、選択された信号が少なくとも1つのプログラマブル・マルチブレクサを介して再駆動されるようになっていることを特徴とする、上記

(1)に記載の信号配布アーキテクチャ。

(4)第1および第2のプログラマブル・マルチブレクサのうちの少なくとも一方が固定論理状態入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および固定状態論理入力から選択されることを特徴とする、上記(1)に記載の信号配布アーキテクチャ。

(5)第1および第2のプログラマブル・マルチブレクサのうちの少なくとも1つがプログラマブル・アレイの相互接続構造体から派生した入力を含み、グループ・クロック／リセット信号が複数のシステム・クロック／リセット信号および派生入力から選択されることを特徴とする、上記(1)に記載の信号配布アーキテクチャ。

(6)外部信号源から複数のシステム・クロック／リセット信号のうちの少なくとも1つのシステム・クロック／リセット信号を受け入れるI/Oブロックと、I/Oブロックとクロック／リセット配布網の間に接続され、I/Oブロックから少なくとも1つのクロック／リセット信号をクロック／リセット配布網に選択的に供給するプログラム可能要素とをさらに含む、上記(1)に記載の信号配布アーキテクチャ。

(7)行と列の形で配置された複数の論理セルとクロック・リセット配布網を有するプログラマブル・アレイであって、前記クロック・リセット配布網が、各第1のプログラマブル列マルチブレクサが複数のシステム・クロック／リセット信号から列クロック／リセット信号を選択し、選択した列クロック／リセット信号を論理セルの各列に供給する、論理セルの各列のための第1のプログラマブル列マルチブレクサと、第1の複数のプログラマブル・セクタ・マルチブレクサの各プログラマブル・セクタ・マルチブレクサが論理セルの各列の論理セルのセクタに対応し、複数の選択された列クロック／リセット信号からセクタ・クロック／リセット信号を選択し、選択したセクタ・クロック／リセット信号を論理セルの各列の論理セルの各セクタに供給する、論理セルの各列のための第1の複数のプログラマブル・セクタ・マルチブレクサとを含む、プログラマブル・アレイ。

(8)第1の複数の論理セルを有し、該論理セルの各々が、複数の入力と1つの出力を有するプログラマブル入力マルチブレクサと、プログラマブル入力マルチブレクサの出力に接続された入力を有し、出力をさらに有する組合せ論理回路と、組合せ論理回路の出力に接続された入力を有し、クロック／リセット入力をさらに有する順序論理回路と、選択されたクロック／リセット信号を第1の複数の論理セルの各論理セルのプログラマブル入力マルチブレクサの入力と第1の複数の各論理セルの順序論理回路のクロック／リセット入力とに供給する、第1

21

の複数の論理セルに関するプログラマブル・クロック／リセット・マルチブレクサとを備えることを特徴とするプログラマブル・アレイ。

(9) プログラマブル・アレイの複数の論理セルに少なくとも1つのクロック／リセット信号を配布するクロック／リセット配布網を有するプログラマブル・アレイであって、複数の論理セルのうちの少なくとも1つの論理セルが、複数の入力と、1つの出力と、1つの制御要素とを有するプログラマブル出力マルチブレクサと、プログラマブル出力マルチブレクサの複数の入力の1つに接続された出力を有し、クロック／リセット信号入力をさらに有する順序論理回路と、順序論理回路のクロック／リセット信号入力とクロック／リセット配布網の間に接続され、制御要素に応答してクロック／リセット信号をゲート制御して順序論理回路に送るクロック／リセット・ゲート回路とを含む、プログラマブル・アレイ。

(10) プログラマブル・アレイのためのプログラマブル・マルチブレクサであって、前記プログラマブル・マルチブレクサは、複数の信号経路の各信号経路が入力と出力とを備えた複数の信号経路を含み、前記信号経路のうちの少なくとも1つは、信号経路の入力に接続された入力を有し、出力をさらに有する入力インバータと、入力インバータの出力に接続された第1の導電端子を有し、少なくとも1つの信号経路の出力を含む第2の導電端子をさらに有するプログラム可能要素と、複数の信号経路の各信号経路の出力に接続された入力を有し、少なくとも1つのプログラマブル・マルチブレクサの出力を含む出力をさらに有して、選択された信号を少なくとも1つのプログラマブル・マルチブレクサを介して再駆動することができるようになっている、出力インバータとを含む、プログラマブル・マルチブレクサ。

(11) 集積回路のための低スキー信号配布アーキテクチャであって、信号源と、第1の複数の1次配布回路の各1次配布回路が output 段を有する、第1の複数の1次配布回路と、前記信号源と第1の複数の1次配布回路の各1次配布回路との間の第1の導電経路とを含み、前記信号源から伝送された信号がそれぞれの遅延後にそれぞれの1次配布回路に到着し、それぞれの遅延が各第1の伝搬経路を通る前記信号源からそれぞれの1次配布回路までのそれぞれの伝搬距離に一般に比例するようになっており、それぞれの遅延を補正するためにそれぞれの1次配布回路の出力段のサイズが各第1の導電経路を通るそれぞれの伝搬距離に応じて決定されて、第1の複数の1次配布回路の1次配布回路からそれぞれ出力される信号間のスキーが最小化されるようになっていることを特徴とする、低スキー信号配布アーキテクチャ。

【図面の簡単な説明】

【図1】その中に配置された複数の論理セルを有するプログラマブル・アレイを示す図である。

【図2】図1のアレイの論理セルの1セクタを示す図で

22

ある。

【図3】本発明によるプログラマブル・アレイのプログラマブル・クロック配布網の一部を示す図である。

【図4】本発明によるプログラマブル・アレイのプログラマブル・リセット配布網の一部を示す図である。

【図5】図3または図4のいずれかの配布網の周縁部の状態を示す図である。

【図6】本発明による論理セルと列クロック信号および列リセット信号との間の接続を示す図である。

10 【図7】本発明による論理セルのためのクロック・ゲート回路を示す図である。

【図8】本発明による信号配布網のためのプログラマブル・マルチブレクサを示す図である。

【図9】本発明による信号配布網のプログラム可能信号源を示す図である。

【図10】本発明による信号配布網のためのパッファ付き信号源を示す図である。

【図11】本発明によるプログラマブル・アレイの1象限内の信号配布回路の物理的配置構成を示す図である。

20 【図12】本発明による配布回路またはマルチブレクサの出力段の例を示す図である。

【符号の説明】

22 論理セル

24 垂直相互接続バス

26 水平相互接続バス

28 スイッチ

41 列

42 マルチブレクサ

44 マルチブレクサ

30 46 マルチブレクサ

50 クロック信号

56 列クロック信号

60 固定論理状態信号

71 列

72 マルチブレクサ

80 システム・リセット信号

86 列リセット信号線

88 セクタ・リセット信号

104 列マルチブレクサ

40 108 クロック

110 列クロック信号

122 順序回路

124 列リセット線

128 入力マルチブレクサ

132 セル出力マルチブレクサ

134 ゲート信号

150 クロック・ゲート回路

154 クロック出力信号

160 マルチブレクサ

164 インバータ

50

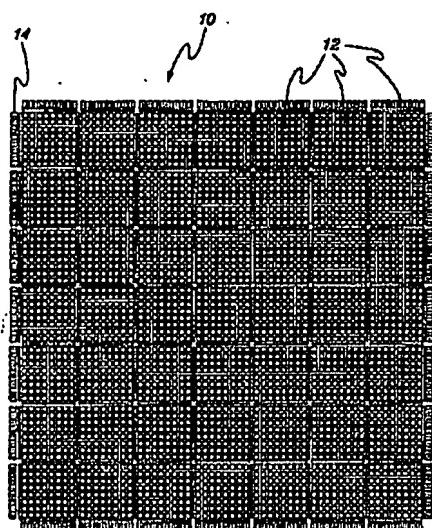
23

- 166 相補形トランジスタ
 168 相補形トランジスタ
 170 メモリ・セル
 174 出力インバータ
 200 バッファ回路
 202 インバータ
 204 NANDゲート
 206 レジスタ

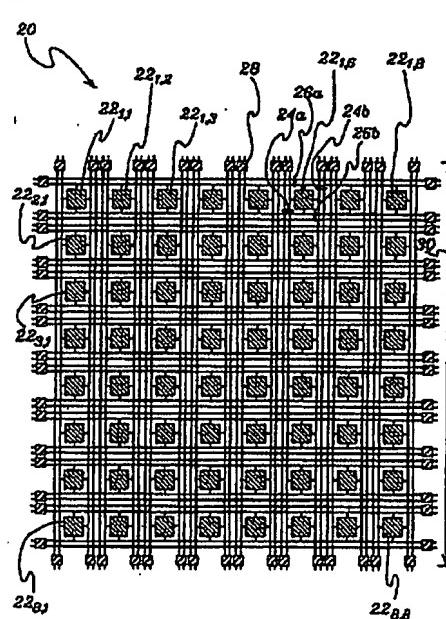
24

- * 210 パッド
 212 入力バッファ
 228 バッファ
 300 チップ
 302 2次信号配布回路
 314 1次信号配布回路
 315 1次信号配布回路
 *

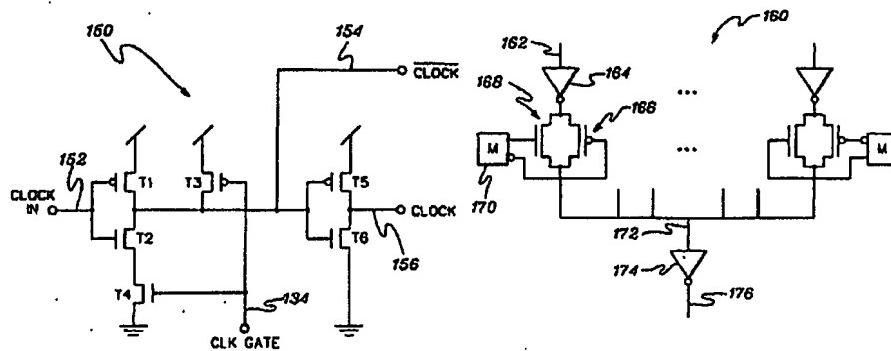
【図1】



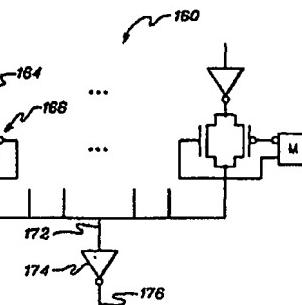
【図2】



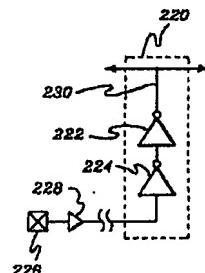
【図7】



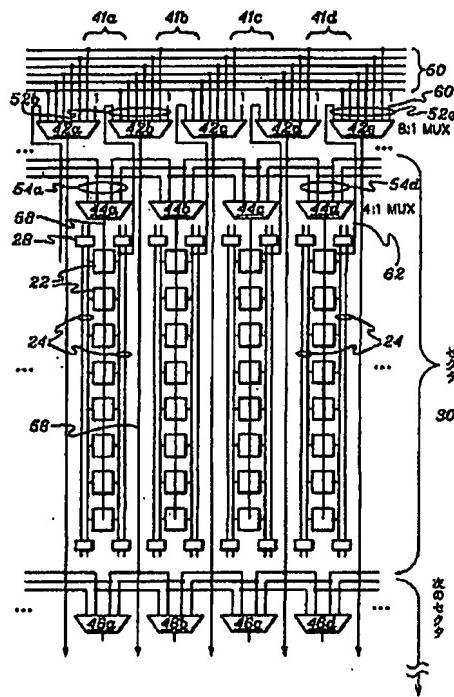
【図8】



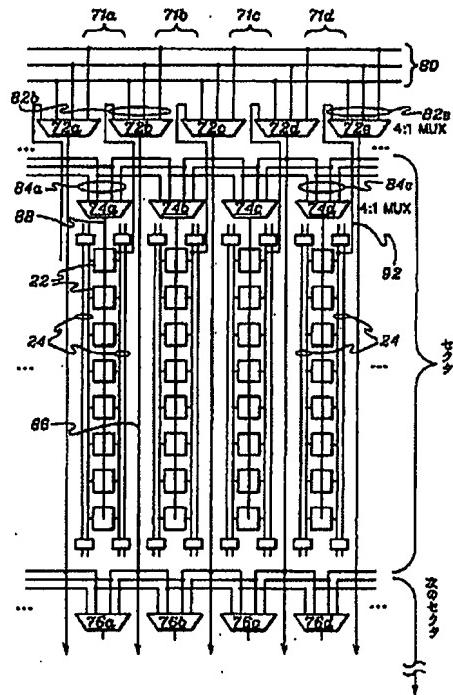
【図10】



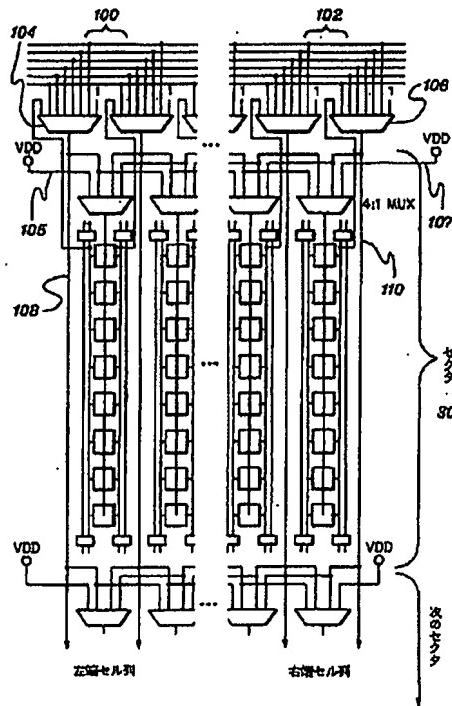
〔図3〕



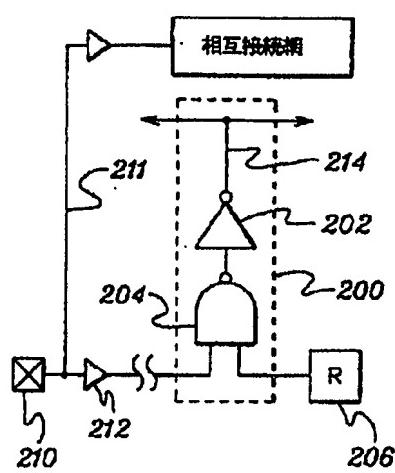
〔図4〕



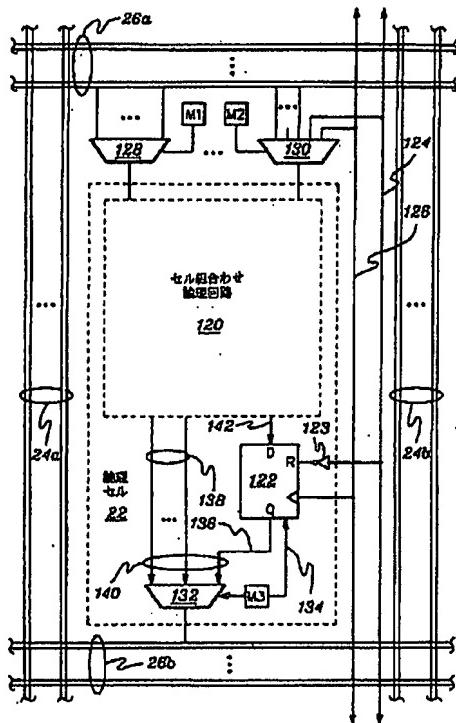
〔図5〕



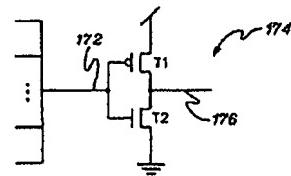
〔図9〕



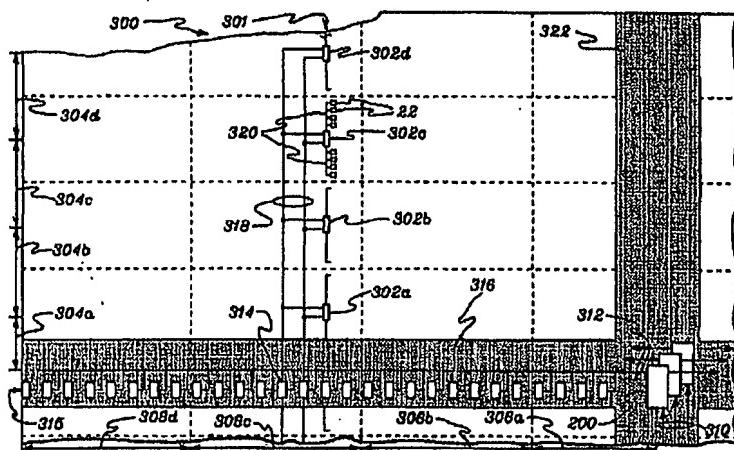
〔図6〕



〔図12〕



〔図11〕



フロントページの続き

(72)発明者 フレデリック・カーティス・ファーテック
アメリカ合衆国94025 カリフォルニア州
メンロー・パーク シャロン・パーク・ド
ライブ 350 アパートメント エム-24
(72)発明者 フランク・レイ・カイザー・ザサード
アメリカ合衆国05446 バーモント州コル
チェスター ヘリテージ・レーン 8

(72)発明者 ブライアン・エイ・ワース
アメリカ合衆国05468 バーモント州ミル
トン アンドレア・レーン 32
(72)発明者 テラヌス・ジョン・ジトリッキュ
アメリカ合衆国05495 バーモント州ヴィ
リストンハート・サークル 17